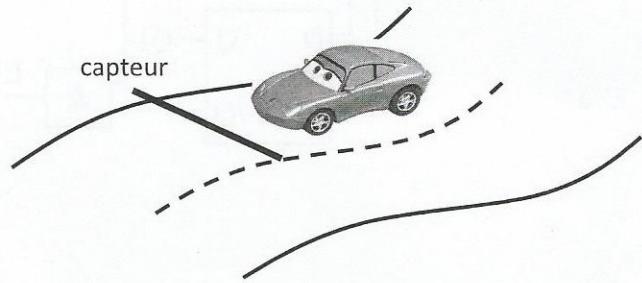


Barème indicatif : 4pts + 1,5pt + 8,5pts + 6pts

Répondre sur le document et rendre l'ensemble des documents

⇒ Indiquer votre nom et prénom sur les feuilles en haut à gauche

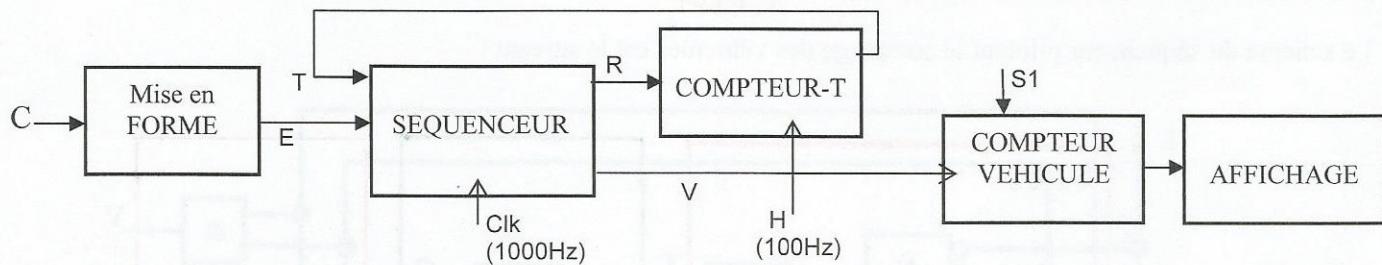
On souhaite compter le nombre de voiture passant sur une route.  
Pour ceci, on utilise couramment un capteur capacitif qui se traduit sur la route par un câble noir fixé dans le macadam.



Le capteur et son électronique délivrent un signal C=1 lors du passage d'un essieu de voiture sur le câble.

### Schéma fonctionnel :

Le schéma fonctionnel de l'ensemble est donné ci-dessous.



C : à 1, il indique le passage d'un essieu sur le capteur

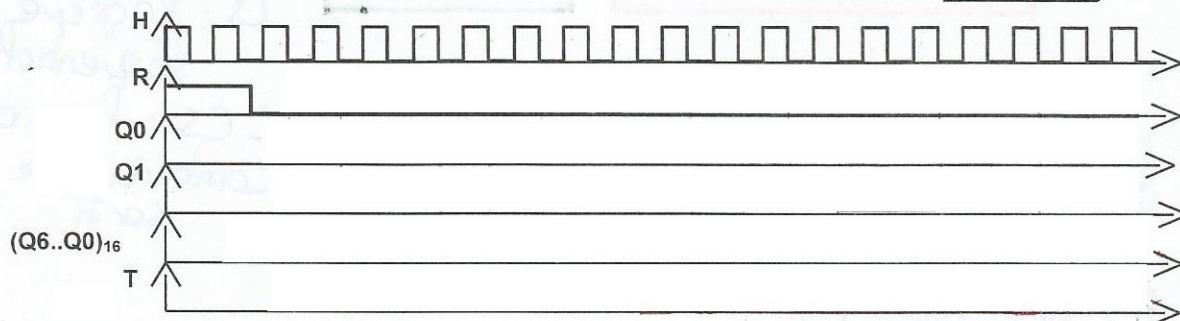
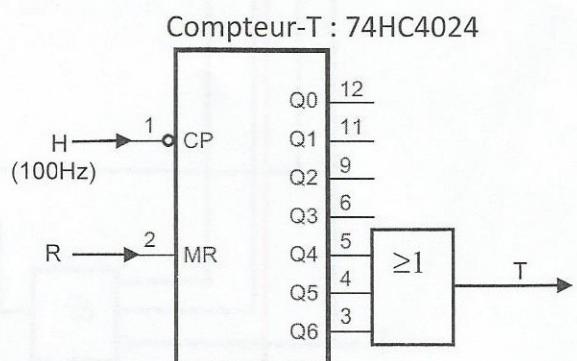
E : impulsion calibrée qui indique la passage d'un essieu sur le capteur

R : à 1, il autorise le fonctionnement du compteur-T

V : impulsion qui indique le passage d'un véhicule

### Exercice n°1 : Compteur-T

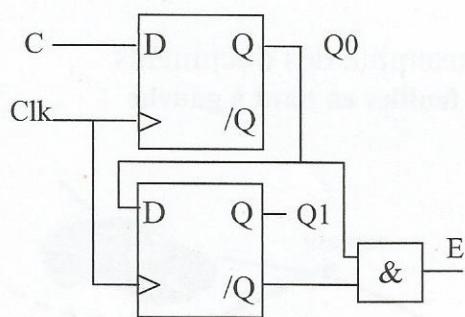
1.1 En vous aidant du schéma structurel ci-contre et de la documentation du compteur (74HC4024), compléter le chronogramme suivant : vous tracerez les pointillés verticaux indiquant les changements des sorties du compteur.



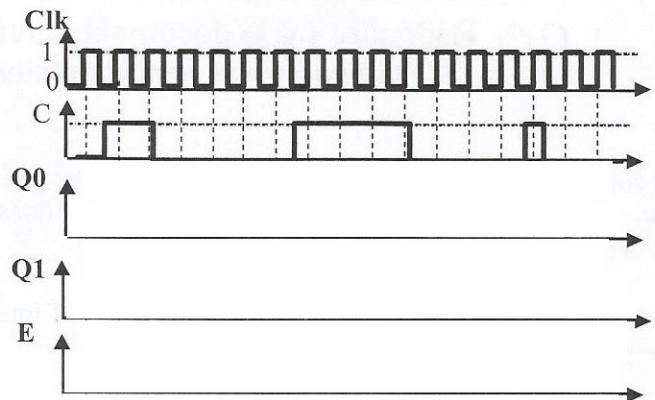
1.2 Au bout de combien de temps la sortie T passe à 1 après que l'entrée R soit passée à 0 ?

Exercice n°2 : Mise en forme

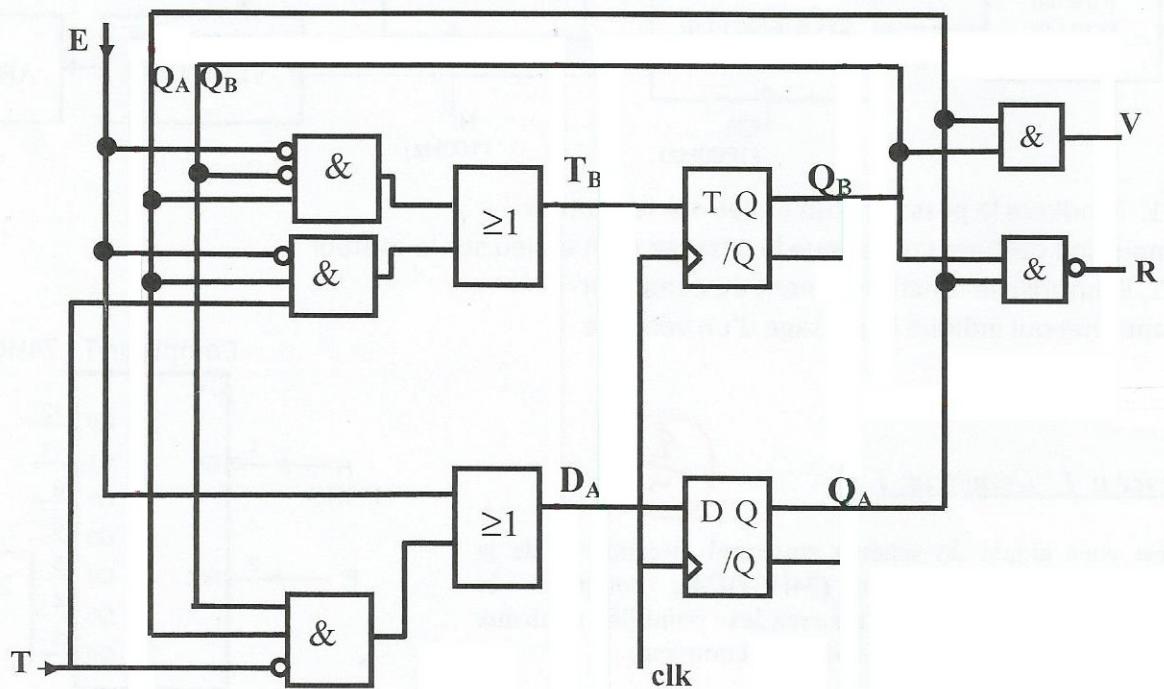
2.1 Le signal issu du capteur et de son électronique reflète le passage des roues sur le câble. La durée du signal C au niveau logique 1 variera en fonction de la vitesse du véhicule. Pour remédier à cette variation, nous mettrons en forme le signal C avec le schéma suivant :



Compléter les chronogrammes ci-dessous :

Exercice n°3 : Analyse d'un séquenceur

Le schéma du séquenceur pilotant le comptage des véhicules est le suivant :



3.1 Entourer et nommer sur le schéma les trois blocs constituant le séquenceur.

3.2 Donner les équations des excitations des bascules :

$$T_B = \dots$$

$$D_A = \dots$$

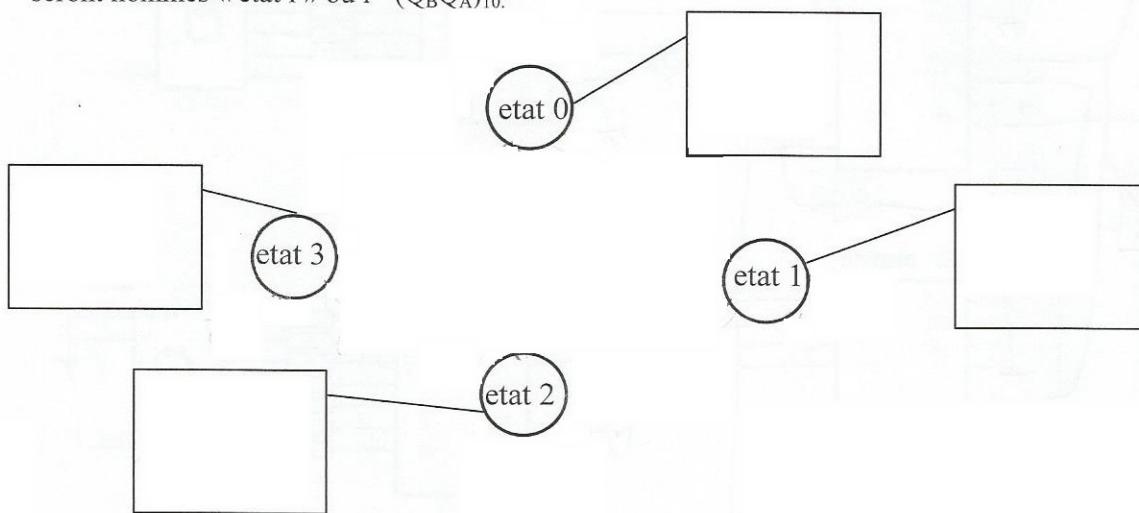
3.3 Compléter la table des excitations et celle des états futurs :

		<u>couple <math>T_B D_A</math></u>			
		0 0	0 1	1 1	1 0
Q <sub>B</sub> , Q <sub>A</sub>	E, T	0 0			
		0 1			
1 1					
1 0					

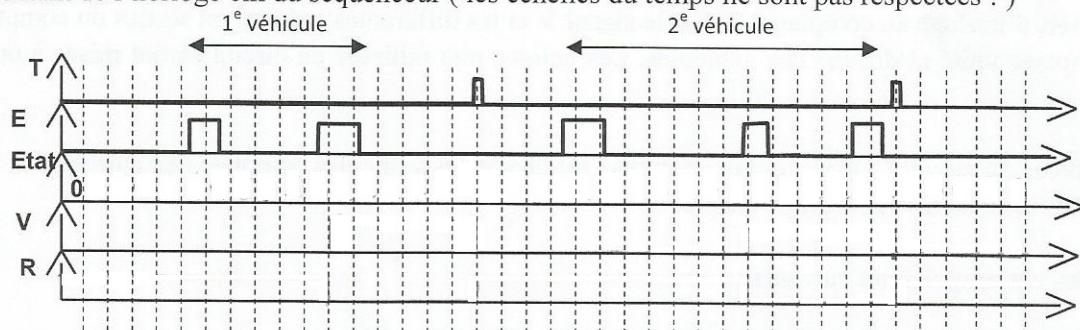
		<u>couple <math>Q_B^+ Q_A^+</math></u>			
		0 0	0 1	1 1	1 0
Q <sub>B</sub> , Q <sub>A</sub>	E, T	0 0			
		0 1			
1 1					
1 0					

3.4 Ecrire les équations des sorties du séquenceur :  $V =$   $R =$

3.5 Tracer le graphe des états avec les conditions sur les arcs et les valeurs des sorties pour chaque état. Les états seront nommés « etat i » où  $i = (Q_B Q_A)_{10}$ .



3.6 Complétez les chronogrammes ci-dessous correspondant au graphe des états ; chaque trait vertical indique un front montant de l'horloge clk du séquenceur (les échelles du temps ne sont pas respectées !)



3.7 Le 2<sup>e</sup> véhicule pourrait être un camion avec un double essieu à l'arrière. Pour ce type de véhicule, expliquer à quoi sert le compteur ?

3.8 L'entraxe entre les deux essieux arrière du camion est de 2m. Quelle sera la vitesse minimum qui ne mettra pas notre système en défaut ? Exprimer votre résultat en km/h.

**Exercice n°4 : Compteur de véhicules & Affichage**

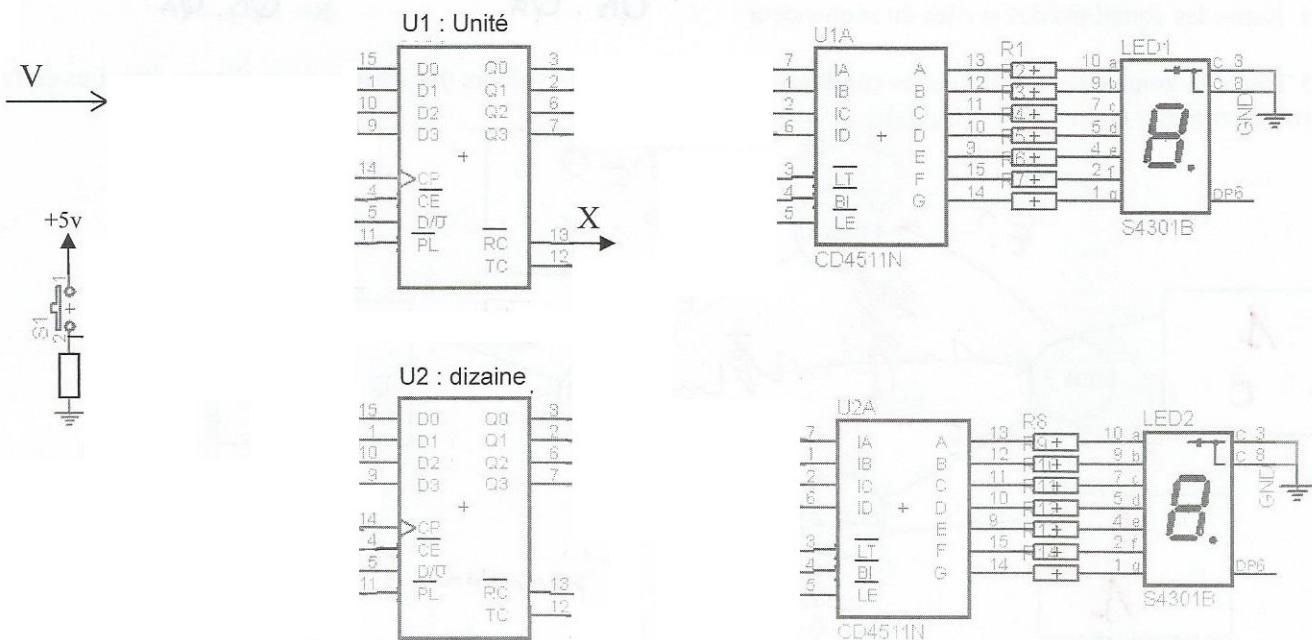
On souhaite compter et afficher le nombre de véhicules circulant sur cette voie. L'appui sur le bouton poussoir S1 doit remettre à zéro les compteurs.

4.1 On a deux compteurs à notre disposition :

- 74hc190 : Presettable synchronous 4 bits BCD up/down counter
- 74hc191 : Presettable synchronous 4 bits binary up/down counter

Justifier le choix du 74hc190 pour notre application (documentation donnée à la fin du DS)

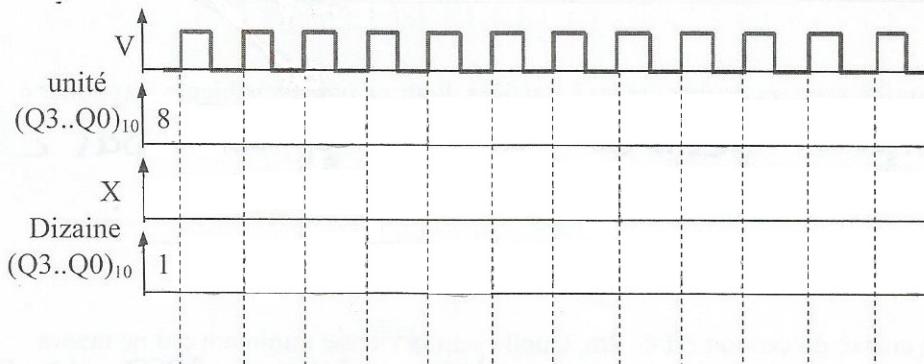
4.2 Quelle fonctionnalité du 74HC190 peut-on utiliser pour effectuer une remise à zéro des compteurs ? Relier le bouton poussoir de telle sorte à assurer la remise à zéro des compteurs. Vous ajouterez les composants nécessaires au bon fonctionnement. Fixer le niveau logique des quatre entrées D3...D0.



4.3 Le signal V sert d'horloge au comptage. Relier le signal V et les différentes entrées ou sorties du compteur afin d'assurer le comptage unité et dizaine des véhicules. Les entrées non utilisées du circuit seront mises à un niveau logique adapté.

4.4 Relier les entrées du circuit CD4511 qui permettent l'affichage des véhicules comptés. Les entrées non utilisées du circuit seront mises à un niveau logique adapté.

4.5 Compléter les chronogrammes suivants :



# Presetable synchronous BCD decade up/down counter

74HC/HCT190

## FEATURES

- Synchronous reversible counting
- Asynchronous parallel load
- Count enable control for synchronous expansion
- Single up/down control input
- Output capability: standard
- $I_{CC}$  category: MSI

## GENERAL DESCRIPTION

The 74HC/HCT190 are high-speed Si-gate CMOS devices and are pin compatible with low power Schottky TTL (LSTTL). They are specified in compliance with JEDEC standard no. 7A.

The 74HC/HCT190 are asynchronously presettable up/down BCD decade counters. They contain four master/slave flip-flops with internal gating and steering logic to provide asynchronous preset and synchronous count-up and count-down operation.

Asynchronous parallel load capability permits the counter to be preset to any desired number. Information present on the parallel data inputs ( $D_0$  to  $D_3$ ) is loaded into the counter and appears on the outputs when the parallel load ( $PL$ ) input is LOW. As indicated in the function table, this operation overrides the counting function.

Counting is inhibited by a HIGH level on the count enable ( $CE$ ) input. When  $CE$  is LOW internal state changes are initiated synchronously by the LOW-to-HIGH transition of the clock input. The up/down ( $U/D$ ) input signal determines the direction of counting as indicated in the function table. The  $CE$  input may go LOW when the clock is in either state, however, the LOW-to-HIGH  $CE$  transition must occur only when the clock is HIGH. Also, the  $U/D$  input should be changed only when either  $CE$  or  $CP$  is HIGH.

Overflow/underflow indications are provided by two types of outputs, the terminal count (TC) and ripple clock (RC). The TC output is normally LOW and goes HIGH when a circuit reaches zero in the count-down mode or reaches "9" in the count-up-mode. The TC output will remain HIGH until a state change occurs, either by counting or presetting, or until  $U/D$  is changed. Do not use the TC output as a clock signal because it is subject to decoding spikes. The TC signal is used internally to enable the RC output. When TC is HIGH and  $CE$  is LOW, the RC output follows the clock pulse (CP). This feature simplifies the design of multistage counters as shown in Figs 5 and 6.

In Fig.5, each  $\overline{RC}$  output is used as the clock input to the next higher stage. It is only necessary to inhibit the first stage to prevent counting in all stages, since a HIGH on  $\overline{CE}$  inhibits the  $\overline{RC}$  output pulse as indicated in the function table. The timing skew between state changes in the first and last stages is represented by the cumulative delay of the clock as it ripples through the preceding stages. This can be a disadvantage of this configuration in some applications.

Fig.6 shows a method of causing state changes to occur simultaneously in all stages. The  $\overline{RC}$  outputs propagate the carry/borrow signals in ripple fashion and all clock inputs are driven in parallel. In this configuration the duration of the clock LOW state must be long enough to allow the negative-going edge of the carry/borrow signal to ripple through to the last stage before the clock goes HIGH. Since the  $\overline{RC}$  output of any package goes HIGH shortly after its CP input goes HIGH there is no such restriction on the HIGH-state duration of the clock.

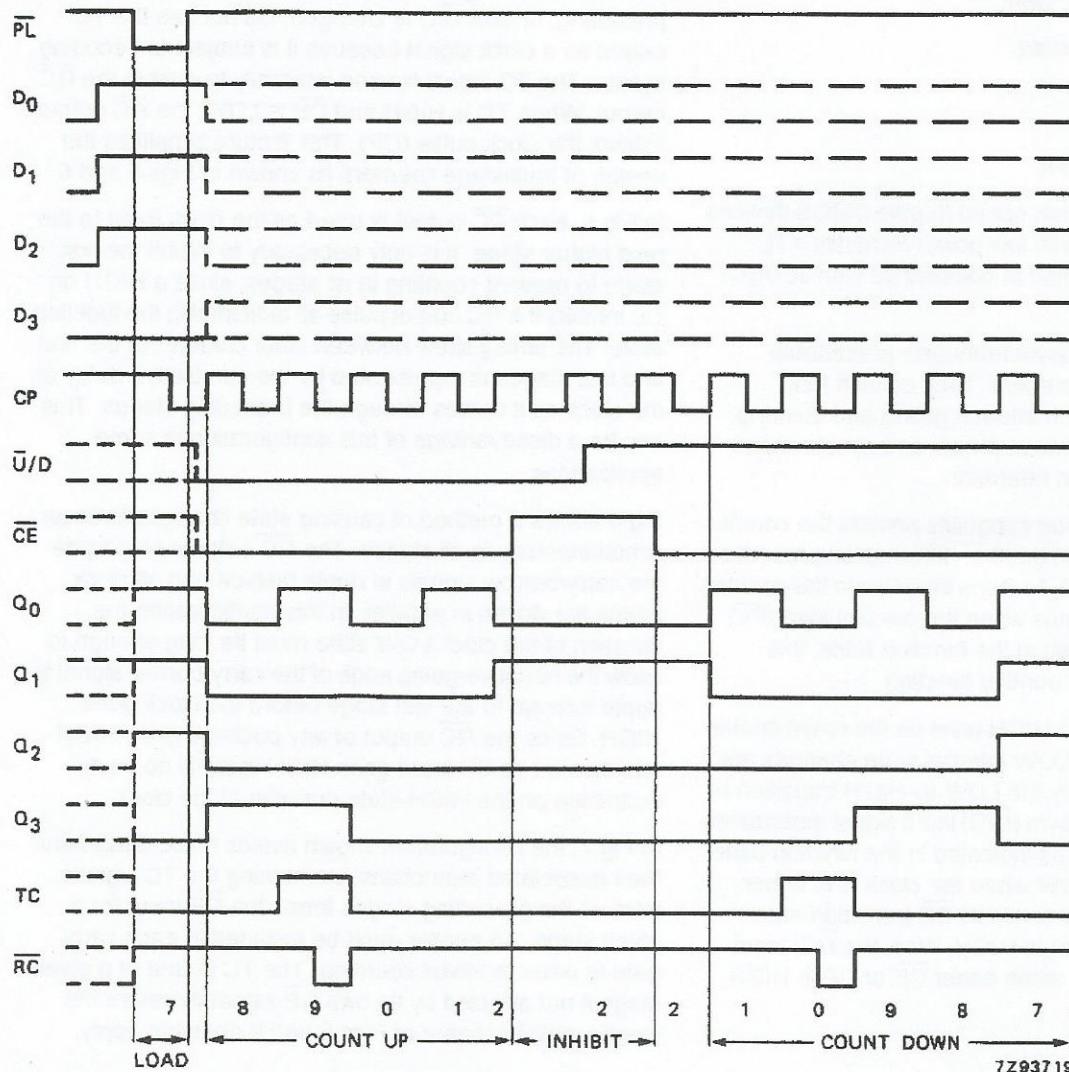
In Fig.7, the configuration shown avoids ripple delays and their associated restrictions. Combining the TC signals from all the preceding stages forms the  $\overline{CE}$  input for a given stage. An enable must be included in each carry gate in order to inhibit counting. The TC output of a given stage is not affected by its own  $CE$  signal therefore the simple inhibit scheme of Figs 5 and 6 does not apply.

## PIN DESCRIPTION

PIN NO.	SYMBOL	NAME AND FUNCTION
3, 2, 6, 7	$Q_0$ to $Q_3$	flip-flop outputs
4	$\overline{CE}$	count enable input (active LOW)
5	$\overline{U/D}$	up/down input
8	GND	ground (0 V)
11	$PL$	parallel load input (active LOW)
12	TC	terminal count output
13	$\overline{RC}$	ripple clock output (active LOW)
14	CP	clock input (LOW-to-HIGH, edge-triggered)
15, 1, 10, 9	$D_0$ to $D_3$	data inputs
16	$V_{CC}$	positive supply voltage

## FUNCTION TABLE

OPERATING MODE	INPUTS					OUTPUTS
	PL	U/D	CE	CP	D <sub>n</sub>	
parallel load	L L	X X	X X	X X	L H	L H
count up	H	L	I	↑	X	count up
count down	H	H	I	↑	X	count down
hold (do nothing)	H	X	H	X	X	no change



**74HC4024**

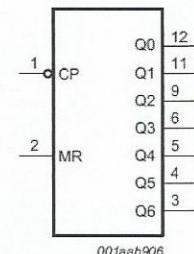
## 7-stage binary ripple counter

## 1. General description

The 74HC4024 is a 7-stage binary ripple counter with a clock input ( $\overline{CP}$ ), an overriding asynchronous master reset input (MR) and seven fully buffered parallel outputs (Q0 to Q6). The counter advances on the HIGH-to-LOW transition of  $\overline{CP}$ . A HIGH on MR clears all counter stages and forces all outputs LOW, independent of the state of CP. Each counter stage is a static toggle flip-flop. Schmitt-trigger action in the clock input makes the circuit highly tolerant to slower clock rise and fall times. Inputs include clamp diodes. This enables the use of current limiting resistors to interface inputs to voltages in excess of Vcc.

Table 2. Pin description

Symbol	Pin	Description
CP	1	clock input (HIGH-to-LOW, edge-triggered)
MR	2	master reset input (active HIGH)
Q6, Q5, Q4, Q3, Q2, Q1, Q0	3, 4, 5, 6, 9, 11, 12	parallel output
GND	7	ground (0 V)
n.c.	8, 10, 13	not connected
V <sub>CC</sub>	14	positive supply voltage

Table 3. Function table<sup>[1]</sup>

Input	Output
MR	Q <sub>n</sub>
H	L
L	↑ no change
	↓ count

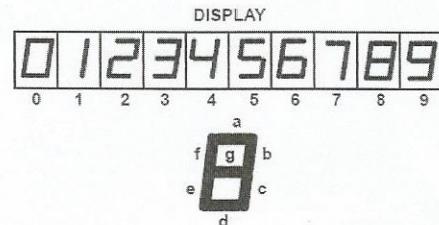
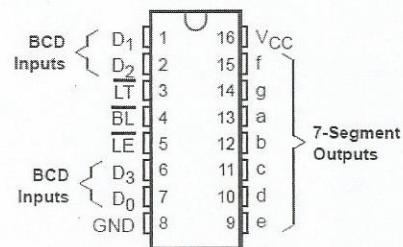
Fig 1. Logic symbol

## CD54HC4511, CD74HC4511, CD74HCT4511 BCD-TO-7 SEGMENT LATCH/DECODER/DRIVERS

SCHS279D – DECEMBER 1998 – REVISED OCTOBER 2003

- 2-V to 6-V V<sub>CC</sub> Operation ('HC4511)
- 4.5-V to 5.5-V V<sub>CC</sub> Operation (CD74HCT4511)
- High-Output Sourcing Capability
  - 7.5 mA at 4.5 V (CD74HCT4511)
  - 10 mA at 6 V ('HC4511)
- Input Latches for BCD Code Storage
- Lamp Test and Blanking Capability
- Balanced Propagation Delays and Transition Times
- Significant Power Reduction Compared to LSTTL Logic ICs
- 'HC4511
  - High Noise Immunity, N<sub>IL</sub> or N<sub>IH</sub> = 30% of V<sub>CC</sub> at V<sub>CC</sub> = 5 V
- CD74HCT4511
  - Direct LSTTL Input Logic Compatibility, V<sub>IL</sub> = 0.8 V Maximum, V<sub>IH</sub> = 2 V Minimum
  - CMOS Input Compatibility, I<sub>I</sub> ≤ 1 μA at V<sub>OL</sub>, V<sub>OH</sub>

CD54HC4511 ... F PACKAGE  
CD74HC4511 ... E, M, OR PW PACKAGE  
CD74HCT4511 ... E PACKAGE  
(TOP VIEW)



### description/ordering information

The CD54HC4511, CD74HC4511, and CD74HCT4511 are BCD-to-7 segment latch/decoder/drivers with four address inputs (D<sub>0</sub>-D<sub>3</sub>), an active-low blanking (BL) input, lamp-test (LT) input, and a latch-enable (LE) input that, when high, enables the latches to store the BCD inputs. When LE is low, the latches are disabled, making the outputs transparent to the BCD inputs.

FUNCTION TABLE

INPUTS				OUTPUTS							DISPLAY			
LE	BL	LT	D <sub>3</sub>	D <sub>2</sub>	D <sub>1</sub>	D <sub>0</sub>	a	b	c	d	e	f	g	
X	X	L	X	X	X	X	H	H	H	H	H	H	H	8
X	L	H	X	X	X	X	L	L	L	L	L	L	L	Blank
L	H	H	L	L	L	L	H	H	H	H	H	H	L	0
L	H	H	L	L	L	H	L	H	H	L	L	L	L	1
L	H	H	L	L	H	L	H	H	L	H	H	L	H	2
L	H	H	L	L	H	H	H	H	H	H	L	L	H	3
L	H	H	L	H	L	L	L	H	H	H	L	H	H	4
L	H	H	L	H	L	H	H	L	H	H	L	H	H	5
L	H	H	L	H	H	L	L	H	H	H	H	H	H	6
L	H	H	L	H	H	H	H	H	H	L	L	L	L	7
L	H	H	H	L	L	L	H	H	H	H	H	H	H	8
L	H	H	H	L	L	H	H	H	L	H	H	H	H	9
L	H	H	H	L	H	L	L	L	L	L	L	L	L	Blank
L	H	H	H	L	H	H	L	L	L	L	L	L	L	Blank
L	H	H	H	H	L	L	L	L	L	L	L	L	L	Blank
L	H	H	H	H	L	L	L	L	L	L	L	L	L	Blank
L	H	H	H	H	H	L	L	L	L	L	L	L	L	Blank
H	H	H	X	X	X	X	†	†	†	†	†	†	†	†

X = Don't care

† Depends on BCD code previously applied when LE = L